

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-64050

(43) 公開日 平成9年(1997)3月7日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	21/3213		H 0 1 L	D
	21/3205		21/88	R
	21/338			M
	29/812	7376-4M	29/80	B

審査請求 未請求 請求項の数11 O L (全 8 頁)

(21) 出願番号 特願平7-220464

(22) 出願日 平成7年(1995)8月29日

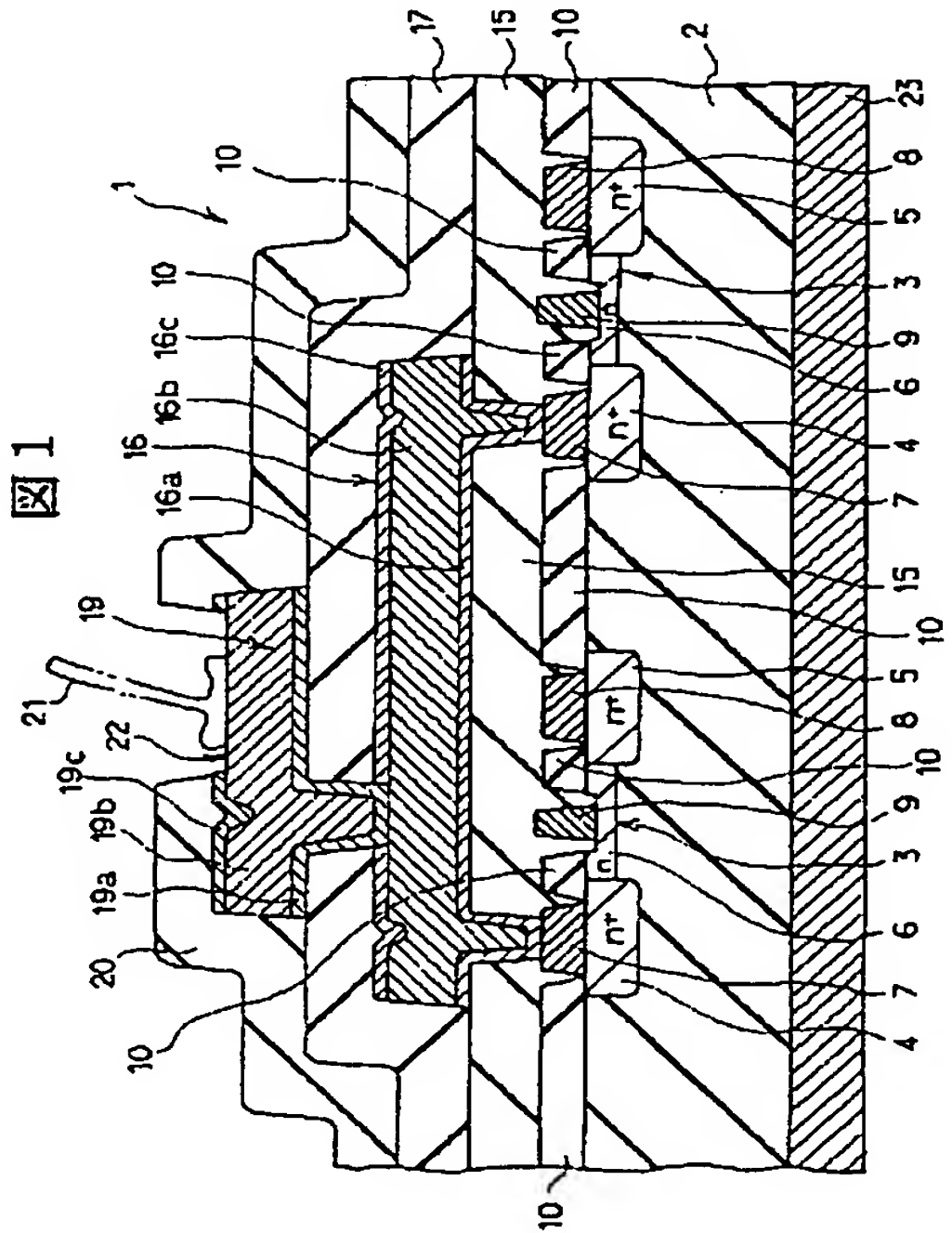
(71) 出願人 000005108  
株式会社日立製作所  
東京都千代田区神田駿河台四丁目6番地  
(72) 発明者 黒川 敦  
東京都青梅市今井2326番地 株式会社日立  
製作所デバイス開発センタ内  
(74) 代理人 弁理士 秋田 収喜

(54) 【発明の名称】 半導体素子およびその製造方法

(57) 【要約】

【目的】 微細配線化が達成できる配線形成技術を提供する。

【構成】 GaAs-MESFETを有するGaAs ICの製造における配線の形成方法において、上層がAu層で下層がMo層となる低抵抗金属層と、この低抵抗金属層上に形成される耐ドライエッチング性の被膜（炭素層）を同一処理装置（スパッタ装置）によって連続的に形成し、その後前記耐ドライエッチング性の被膜をパターニングしてマスクを形成し、前記耐ドライエッチング性の被膜をマスクとして下層の低抵抗金属層をドライエッチングして配線を形成する。



## 【特許請求の範囲】

【請求項 1】 低抵抗金属層と、前記低抵抗金属層の上に形成された耐ドライエッチング性の被膜とからなる多層構造の配線を有することを特徴とする半導体素子。

【請求項 2】 前記耐ドライエッチング性の被膜は炭素で形成されていることを特徴とする請求項 1 記載の半導体素子。

【請求項 3】 前記耐ドライエッチング性の被膜は炭素または高融点の金属で形成されていることを特徴とする請求項 1 記載の半導体素子。

【請求項 4】 前記耐ドライエッチング性の被膜は金属の酸化物で形成されていることを特徴とする請求項 1 記載の半導体素子。

【請求項 5】 前記耐ドライエッチング性の被膜は前記低抵抗金属層を形成する処理装置で連続して形成されたものであることを特徴とする請求項 1 記載の半導体素子。

【請求項 6】 前記酸化物は Al, W, Ti, Ta, Mo, Cr のうちのいずれかの酸化物であることを特徴とする請求項 4 記載の半導体素子。

【請求項 7】 前記低抵抗金属層は 1 層または多層であり、その内の 1 層は Au または Cu で形成されていることを特徴とする請求項 1 乃至請求項 6 のいずれか 1 項記載の半導体素子。

【請求項 8】 半導体素子は半絶縁性 GaAs 基板によって構成され、GaAs-MESFET を有していることを特徴とする請求項 1 乃至請求項 7 のいずれか 1 項記載の半導体素子。

【請求項 9】 半導体素子の製造方法であって、1 層または多層の低抵抗金属層と、この低抵抗金属層上に形成される耐ドライエッチング性の被膜を同一処理装置によって連続的に形成し、その後前記耐ドライエッチング性の被膜をパターンニングしてマスクを形成し、前記耐ドライエッチング性の被膜をマスクとして下層の低抵抗金属層をドライエッチングして配線を形成することを特徴とする半導体素子の製造方法。

【請求項 10】 前記耐ドライエッチング性の被膜は、C または高融点の金属もしくは Al, W, Ti, Ta, Mo, Cr のうちのいずれかの酸化物となり、前記低抵抗金属層の内の 1 層は Au または Cu となっていることを特徴とする請求項 9 記載の半導体素子の製造方法。

【請求項 11】 前記半導体素子は半絶縁性 GaAs 基板によって構成され、GaAs-MESFET が形成されることを特徴とする請求項 10 記載の半導体素子の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は半導体素子およびその製造方法、特に GaAs 半導体素子 (GaAs IC) の製造における配線の形成技術に適用して有効な技術に関する

る。

## 【0002】

【従来の技術】 GaAs IC における配線として、特開平 3-30428 号公報に記載されているように、Mo/Au/Mo の 3 層構造の配線が使用されている。前記 Mo/Au/Mo 配線は、配線材として Mo 層、Au 層、Mo 層を順次積重ねた後、最上層の Mo 層上に形成した SiO<sub>2</sub> 膜をエッチングによってパターンニングし、このパターンニングされた SiO<sub>2</sub> 膜をマスクとし、Ar ガスによるスパッタエッチング (イオンミリング) によって加工することによって形成される。

【0003】 また、同スパッタエッチング時、マスクとしての SiO<sub>2</sub> 膜の両側に Au が付着し、Mo/Au/Mo 配線の形成の後にマスクを除去すると、配線の両側上縁に沿って細く突出した Au 部分が発生してしまう。この突出した Au 部分は倒れ易くショート等の原因となるため、前記マスクとしての SiO<sub>2</sub> 膜は配線形成の後除去せずに配線層上にそのまま残してある。したがって、下層配線と上層配線との接続を図る際の層間絶縁膜にスルーホールを開けるエッチングにおいては、下層配線の上に残留する SiO<sub>2</sub> 膜をエッチングする必要がある。

## 【0004】

【発明が解決しようとする課題】 GaAs IC の製造における Mo/Au/Mo 配線の形成時、以下のような問題が生じることが本発明者によってあきらかにされた。

【0005】 (1) Mo 層上に形成される SiO<sub>2</sub> 膜は Mo 層とは別工程で形成されるため、両者の接着度は低く、SiO<sub>2</sub> 膜をマスクとした場合でのドライエッチング精度が低くなるおそれがある。

【0006】 (2) SiO<sub>2</sub> 膜と Au のドライエッチングの選択比は約 3 程度で小さい。このため、SiO<sub>2</sub> 膜を 1 μm 程度と厚くする必要がある。SiO<sub>2</sub> 膜を厚くすると膜応力が大きくなり剥離し易くなり、エッチング性が低下し、正確な配線パターン化が難しくなる。また、SiO<sub>2</sub> 膜が厚くなると微細パターン化が困難となる。

【0007】 (3) 下層配線と上層配線との接続を図る際の層間絶縁膜にスルーホールを開けるドライエッチングにおいては、0.8 μm 程度の厚さの層間絶縁膜と、Mo/Au/Mo 配線上のマスクとして使用した 0.5 μm (エッチングで初期より薄い) 程度の厚さの SiO<sub>2</sub> 膜にスルーホールを設けなければならず、スルーホールが深くなる。このことは、導通マージン低下の原因ともなる。また、GaAs IC の製造において半絶縁性 GaAs 基板の主面の平坦化が難しくなり、微細パターン化が図れない。

【0008】 本発明の目的は、微細配線化が達成できる配線形成技術を提供することにある。

【0009】 本発明の前記ならびにそのほかの目的と新

規な特徴は、本明細書の記述および添付図面からあきらかになるであろう。

【0010】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記のとおりである。

【0011】(1) GaAs-MESFETを有するGaAs IC (半導体素子) は、上層がAu層で下層がMo層となる低抵抗金属層と、前記低抵抗金属層の上に形成された耐ドライエッチング性の被膜(炭素層)とからなる多層構造の配線を有する。前記耐ドライエッチング性の被膜は前記低抵抗金属層を形成する処理装置(スパッタ装置)で連続して形成されたものである。前記低抵抗金属層は多層であり、その内の1層はAuで形成されている。

【0012】前記GaAs ICの製造における配線の形成方法において、上層がAu層で下層がMo層となる低抵抗金属層と、この低抵抗金属層上に形成される耐ドライエッチング性の被膜(炭素層)を同一処理装置(スパッタ装置)によって連続的に形成し、その後前記耐ドライエッチング性の被膜をパターンニングしてマスクを形成し、前記耐ドライエッチング性の被膜をマスクとして下層の低抵抗金属層をドライエッチングして配線を形成する。

【0013】(2) 前記手段(1)の構成において、前記耐ドライエッチング性の被膜は高融点の金属またはAl, W, Ti, Ta, Mo, Crのうちのいずれかの酸化物で形成されている。これらの耐ドライエッチング性の被膜は低抵抗金属層の形成に連続してスパッタ装置によって形成される。

【0014】

【作用】前記(1)の手段によれば、(a)炭素層(C層)は高融点で耐ドライエッチング性が高く、マスク層となるC層と配線材となるAu層のエッチングの選択比は10程度と大きくなることから、マスク層(C層)を薄くできる。したがって、ICの配線工程との整合性が良くなる。

【0015】(b)マスク層(C層)を薄くすることができるので、C層は膜応力によって剥離し難くなる。

【0016】(c)マスク層(C層)を薄くすることができるので、配線の平坦度が良く、平坦化プロセスが容易になる。また、平坦化によって配線の微細パターン化が達成できる。

【0017】(d)Mo層, Au層, C層を同一のスパッタ装置によって順次連続して形成するため、各層は相互に強固に接着される。

【0018】(e)C層はAu層に連続して重ねて形成されるため、C層とAu層の接着性が高いことと、C層は薄くAu層から剥離し難くなることから、正確なエッチングが行える。このため、配線の微細パターン化が達

成できる。

【0019】(f)Mo層, Au層, C層を同一のスパッタ装置によって順次連続して形成するため、生産性が高い。

【0020】(g)下層の配線との接続を図るために下層の配線の上の絶縁膜にスルーホールを形成するとき、配線の表面のマスク層(C層)が薄いため、マスク層をも貫通するスルーホールの深さが浅くなり、Au層に到達するスルーホールが確実に形成できスルーホールの歩留りが向上する。

【0021】前記(2)の手段によれば、手段(1)と同様にAuに対してエッチングの選択比が高い高融点の金属またはAl, W, Ti, Ta, Mo, Crのうちのいずれかの酸化物からなる耐ドライエッチング性の被膜をマスクとして低抵抗金属層をエッチングして配線を形成するため、手段(1)と略同様の作用を得ることができる。

【0022】

【実施例】以下、本発明について、図面を参照して実施例とともに詳細に説明する。なお実施例を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【0023】本発明では、半絶縁性GaAs基板を使用したGaAs-MESFETを有するGaAs ICに適用した例について説明する。

【0024】図1は本発明の一実施例であるGaAs ICの要部を示す断面図、図2は同じくGaAs ICの製造においてソース・ドレイン領域となる $n^+$ 型半導体領域および $n$ 型動作層を形成した状態を示す断面図、図3は同じくソース・ドレイン・ゲート電極を形成した状態を示す断面図、図4は同じく第1配線を形成した状態を示す断面図、図5は同じく第2配線を形成した状態を示す断面図である。

【0025】GaAs ICは半絶縁性GaAs基板を基に形成されている。本実施例において、MESFETが並列形成されている。図1では、リセス構造のMESFETが2つ示されている。GaAs IC 1は、図1に示すように、半絶縁性GaAs基板2の主面に、並列に複数のMESFET 3を有している。

【0026】MESFET 3は、ソース領域およびドレイン領域となる一対の $n^+$ 型半導体領域4, 5と、これら $n^+$ 型半導体領域4, 5を繋ぐ $n$ 型動作層6を有している。また、半絶縁性GaAs基板2の主面は絶縁膜10で選択的に覆われている。そして、露出した前記 $n^+$ 型半導体領域4, 5上には、ソース・ドレイン電極となるコンタクト電極7, 8が設けられている。このコンタクト電極7, 8は、たとえば、AuGe (最下層)、Ni, Auと多層構造となっている。また、前記 $n$ 型動作層6はリセス構造となり、このリセス上にはAlからなるゲート電極9が設けられている。



【0027】また、前記コンタクト電極7、8、ゲート電極9および絶縁膜10上には第1層間絶縁膜15が形成されている。前記第1層間絶縁膜15にはコンタクト用の穴が設けられている。そして、前記第1層間絶縁膜15およびコンタクト用穴部分には、配線（第1配線）16が形成されている。この第1配線16は隣合うコンタクト電極7同士、または隣合うコンタクト電極8同士を電氣的に接続する。図1の場合は、隣合うコンタクト電極7同士を接続する断面となっている。

【0028】前記第1配線16は、Mo層16a（最下層）、Au層16b、炭素層（C層）16cと順次重なる多層構造となっている。

【0029】前記第1配線16および第1層間絶縁膜15上には第2層間絶縁膜17が設けられている。前記第2層間絶縁膜17および第2層間絶縁膜17と第1層間絶縁膜15にはコンタクト用の穴が設けられている。そして、前記第2層間絶縁膜17およびコンタクト用穴部分には、配線（第2配線）19が形成されている。前記第2配線18は、前記第1配線16と同じ構造となり、Mo層19a（最下層）、Au層19b、C層19cと順次重なる多層構造となっている。第2配線19はそれぞれ個別に前記コンタクト電極7、8およびゲート電極9に電氣的に接続され、かつ相互に電氣的に独立している。なお、前記第2配線19は、第1配線16ではC層16cを貫通してAu層16bに接続されている。

【0030】半絶縁性GaAs基板2の主面側は絶縁膜からなるパッシベーション膜20で覆われている。相互に電氣的に独立した第2配線19上のパッシベーション膜20は部分的に除去され、ワイヤ21を接続するワイヤボンディングパッド22となっている。

【0031】また、半絶縁性GaAs基板2の裏面には裏面電極23が形成されている。

【0032】つぎに、本実施例のGaAs IC1の製造、特に配線の形成方法について、図2乃至図5を参照しながら説明する。

【0033】図2に示すように、半絶縁性GaAs基板2の主面に、イオン注入と、その後のアニール処理によって、いずれもソース領域あるいはドレイン領域となる一対のn<sup>+</sup>型半導体領域4、5およびn<sup>+</sup>型半導体領域4、5を繋ぐn型層からなる動作層6を形成する。前記n<sup>+</sup>型半導体領域4、5およびn型動作層6はMESFET3を形成するためのものであり、たとえば、複数並列に設けられる。

【0034】つぎに、半絶縁性GaAs基板2の主面のスルー膜やアニール処理時に発生した酸化膜等からなる絶縁膜25を除去する。その後、図3に示すように、半絶縁性GaAs基板2の主面に、厚さ4500Å程度の絶縁膜10を形成する。この絶縁膜10は、たとえば、CVD（気相化学成長法）によって形成したSiO<sub>2</sub>膜からなる。前記n<sup>+</sup>型半導体領域4、5上の前記SiO<sub>2</sub>

膜を除去した後、蒸着によってソース電極やドレイン電極となるコンタクト電極7、8を形成する。コンタクト電極7、8は、たとえば、AuGe（最下層）、Ni、Auを順次蒸着した後、アロイを行うことによって形成する。コンタクト電極7、8は約4000Å程度の厚さとなる。

【0035】つぎに、ゲート電極形成パターン部の絶縁膜10を除去した後、閾値制御のため、所定のI<sub>as</sub>にn型動作層6厚をコントロール（リセス処理）する。その後、n型動作層6上にゲート電極9を形成する。ゲート電極9はAlからなり、厚さ5000Å程度である。

【0036】つぎに、図4に示すように、前記半絶縁性GaAs基板2の主面側に第1層間絶縁膜15を形成する。第1層間絶縁膜15は厚さ8000Å程度のPSG膜で形成される。その後、前記第1層間絶縁膜15の所定部分に穴（スルーホール）を設けた後、スパッタ装置によって配線材を形成し、かつドライエッチングによってパターンニングして第1配線16を形成する。第1配線16は、たとえば、Mo層16a、Au層16b、炭素層（C層）16cを順次積み重ねた多層構造となる。この多層構造はスパッタ装置によって連続的に形成される。したがって、相互の層の接着度は、Mo層上にCVD（気相化学成長法）法によってマスクとするためのSiO<sub>2</sub>膜を形成した場合に比較して高いものとなる。

【0037】前記Mo層16aは、その厚さが100～1000Å程度、たとえば、1000Åとなっている。Au層16bは、その厚さが3000～20000Å程度、たとえば、8000Åとなっている。C層16cは、その厚さが300～3000Å程度、たとえば、1000Åとなっている。

【0038】配線材はドライエッチングによって所定の形状にパターンニングされ、形成された第1配線16はコンタクト電極7同士またはコンタクト電極8同士を接続するようになる。このパターンニングは、前記C層16c上に選択的に設けたホトレジストをマスクとしてC層16cを所定形状にエッチングした後、前記ホトレジストを除去し、その後、前記C層16cをマスクとし、Arガスを使用したイオンミリング法（ドライエッチング）によってAu層16bおよびMo層16aをエッチングすることによって行われる。

【0039】前記ドライエッチングにおいて、マスク層としてのC層16cとAu層16bとの接着度が、従来のAu層とSiO<sub>2</sub>膜との接着度に比較して、同一スパッタ装置で連続で形成しているため高い。したがって、C層16cはドライエッチング時マスク層として充分機能するため、正確なドライエッチングが行える。このため、エッチングの微細化も達成できる。

【0040】前記C層16cはAuに対してエッチングの選択比が10程度と高いため、Au層16bの8000Åに対して1000Åと薄くできる。すなわち、マス

ク層としてのC層16cは、従来の厚さ10000Åの厚さのSiO<sub>2</sub>膜からなるマスク層に比較して1/10と薄い。この結果、C層16cがその厚さに起因する応力によって被エッチング物であるAu層16bから剥離することなくなり、確実にエッチングできる。

【0041】また、配線の上面に残留させるマスク層としてのC層16cは1000Åと、従来のマスク層の10000ÅのSiO<sub>2</sub>膜に比較して充分薄いため、第1層間絶縁膜15と第1配線16との段差が低くなり、平坦化が達成される。

【0042】つぎに、図5に示すように、前記半絶縁性GaAs基板2の主面側に第2層間絶縁膜17を形成する。第2層間絶縁膜17は厚さ8000Å程度のPSG膜で形成される。その後、前記第2層間絶縁膜17および第2層間絶縁膜17と第1層間絶縁膜15の所定部分に穴（スルーホール）を設けた後、前記第1配線16の形成の場合と同様にスパッタ装置によって配線材を形成し、その後ドライエッチングすることによって第2配線19を形成する。第2配線19の形成方法は、前記第1配線16の形成方法と全く同様である。すなわち、第2配線19は、たとえば、Mo層19a（1000Å）、Au層19b（8000Å）、C層19c（1000Å）を順次積み重ねた多層構造となる。この多層構造はスパッタ装置によって連続的に形成される。したがって、相互の層の接着度は、Mo層上にCVD（気相化学成長法）法によってマスクとするためのSiO<sub>2</sub>膜を形成した場合に比較して高いものとなる。

【0043】第2配線19のパターンは、前記第1配線16の場合と同様に、Au層19b上のC層19cに設けたホトレジストをマスクとしてC層19cをエッチングし、前記ホトレジストを除去した後、前記エッチングされたC層19cをマスクとしてAu層19bおよびMo層19aをエッチングすることによって得られる。

【0044】このエッチングによるパターニングの際、マスクとしてのC層19cとAu層19bとが、同一スパッタ装置で連続して形成されることによって接着度が高いこと、マスクとしてのC層19cが従来のSiO<sub>2</sub>膜に比較して充分薄いことによるマスクの剥離に起因するエッチング不良が発生しない効果および配線の平坦化の効果等は、前記第1配線16の形成の場合と同様に得られる。

【0045】また、前記第1配線16の上層のC層16cは1000Åと薄いため、第2層間絶縁膜17に開けるスルーホールは、8000Åの厚さの第2層間絶縁膜17と前記1000ÅのC層16cであることから、従来の8000Åの厚さの第2層間絶縁膜と10000Åの厚さのSiO<sub>2</sub>膜の場合に比較して半分以下となり、確実にスルーホールが形成でき、スルーホールの形成歩留りが向上する。

【0046】つぎに、半絶縁性GaAs基板2の主面側

は、信頼性確保のため、図1に示すように、パッシベーション膜20で覆われる。パッシベーション膜20は、たとえば、下層PSG（2000Å）、上層プラズマSiN（5000Å）で形成される。また、ワイヤボンディングのために、第2配線19の所定部分上のパッシベーション膜20は部分的に除去され、ワイヤボンディングパッド22が形成される。ワイヤボンディングパッド22の形成の際、前記第2配線19の最上層のC層19cは除去され、ワイヤが直接Au層19bに接続されるようになる。

【0047】つぎに、半絶縁性GaAs基板2の裏面はラッピングされて所定の厚さとされた後、図1に示すように、裏面電極23が形成される。裏面電極23は、下層AuGe（10000Å）、上層Ni（200Å）を蒸着した後、アロイすることによって形成される。

【0048】また、半絶縁性GaAs基板2は縦横にスクライブを入れられた後クラッキングされ、図1に示すようなGaAsIC1が製造される。

【0049】本実施例によれば以下の効果が得られる。

【0050】（1）炭素（C）は高融点で耐ドライエッチング性が高く、マスク層となるC層16c、19cと配線材となるAu層16b、19bのエッチングの選択比は10程度と大きくなることから、マスク層（C層16c、19c）を薄くできる。したがって、ICの配線工程との整合性が良くなる。

【0051】（2）マスク層（C層16c、19c）を薄くすることができるので、C層16c、19cは膜応力によってAu層16b、19bから剥離し難くなる。

【0052】（3）マスク層（C層16c、19c）を薄くすることができるので、配線の平坦度が良く、平坦化プロセスが容易になる。また、平坦化によって配線の微細パターン化が達成できる。

【0053】（4）低抵抗金属層であるMo層16a、19aおよびAu層16b、19bとマスク層となるC層16c、19cを同一のスパッタ装置によって順次連続して形成するため、各層は相互に強固に接着される。

【0054】（5）C層16c、19cはAu層16b、19bに連続して重ねて形成されるため、C層とAu層の接着性が高いことと、C層は薄くAu層から剥離し難くなることから、正確なエッチングが行える。このため、配線の微細パターン化が達成できる。

【0055】（6）低抵抗金属層であるMo層16a、19aおよびAu層16b、19bとマスク層となるC層16c、19cを同一のスパッタ装置によって順次連続して形成するため、生産性が高い。

【0056】（7）上層の配線（第2配線19）と下層の配線（第1配線16）との接続を図るために、下層の配線の上の絶縁膜（第2層間絶縁膜17）にスルーホールを形成するとき、配線の表面のマスク層（C層16c）が薄いため、マスク層をも貫通するスルーホールの

深さが浅くなり、Au層16bに到達するスルーホールが確実に形成できスルーホールの形成歩留りが向上する。

【0057】(8) 上記(1)～(7)により、GaAs ICの製造において配線の微細化が達成できる。

【0058】以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない、たとえば、低抵抗金属層としては、1層または多層のものであり、そのうちの1層がAuまたはCuであればよい。

【0059】また、耐ドライエッチング性の被膜としては、前記C層16c、19cに代えてMo層(厚さ100～500Å)としてもよい。この場合、Mo層は選択比が3程度と低いことから、選択比を5～10程度と高くするためにArガスを使用したイオンミリング法(ドライエッチング)に代えて、ArガスにO<sub>2</sub>ガスまたはN<sub>2</sub>ガスを添加したイオンミリング法によってエッチングを行う。また、耐ドライエッチング性の被膜としては高耐熱性金属材料、たとえば、W(選択比約4)、Ti(選択比約3)、Ta(選択比約3)、Mo(選択比約3)、Cr(選択比約3)を用いても同様の効果が得られる。前記括弧内の選択比はAuに対するエッチング選択比である。

【0060】また、耐ドライエッチング性の被膜としては酸化物であってもよい。たとえば、Al<sub>2</sub>O<sub>3</sub>はAuに対して10以上のエッチング選択比を有する。また、耐ドライエッチング性の被膜としては、高耐熱性金属材料による酸化物でもよい。たとえば、W、Ti、Ta、Mo、Crのうちのいずれの酸化物もAuに対するエッチング選択比は5以上となる。

【0061】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるGaAs ICの配線技術に適用した場合について説明したが、それに限定されるものではなく、たとえば、シリコン基板を基にしたICの配線技術に適用できる。

【0062】本発明は少なくとも半導体素子製造における配線技術には適用できる。

【0063】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

【0064】本発明のGaAs ICの製造における配線

形成において、低抵抗金属層(Au層/Mo層)と、この低抵抗金属層上に形成されるマスク層(耐ドライエッチング性の被膜:C層)を同一処理装置によって連続的に形成するため、低抵抗金属層とマスク層との接着度が高くなり、前記マスク層が低抵抗金属層から剥離しなくなる。

【0065】マスク層(C層)と配線材Auのエッチングの選択比は10程度と高いため、マスク層を薄くできる。

【0066】低抵抗金属層とマスク層との接着度が高いことと、マスク層が薄いことにより、以下の効果が得られる。

【0067】(1) マスク層が薄いので、膜応力が小さくなりマスク層の剥離等の不良が低減される。

【0068】(2) 上層の配線とのスルーホールを形成したとき、マスク層が薄いので上層の配線とAu層のスルーホール部の接続深さが相対的に浅くなり、スルーホールの形成歩留りが改善される。

【0069】(3) マスク層が薄いので配線層の平坦度が良く、配線の平坦化プロセスが容易になる。

【図面の簡単な説明】

【図1】本発明の一実施例であるGaAs ICの要部を示す断面図である。

【図2】本実施例のGaAs ICの製造においてソース・ドレイン領域となるn<sup>+</sup>型半導体領域およびn型動作層を形成した状態を示す断面図である。

【図3】本実施例のGaAs ICの製造においてソース・ドレイン・ゲート電極を形成した状態を示す断面図である。

【図4】本実施例のGaAs ICの製造において第1配線を形成した状態を示す断面図である。

【図5】本実施例のGaAs ICの製造において第2配線を形成した状態を示す断面図である。

【符号の説明】

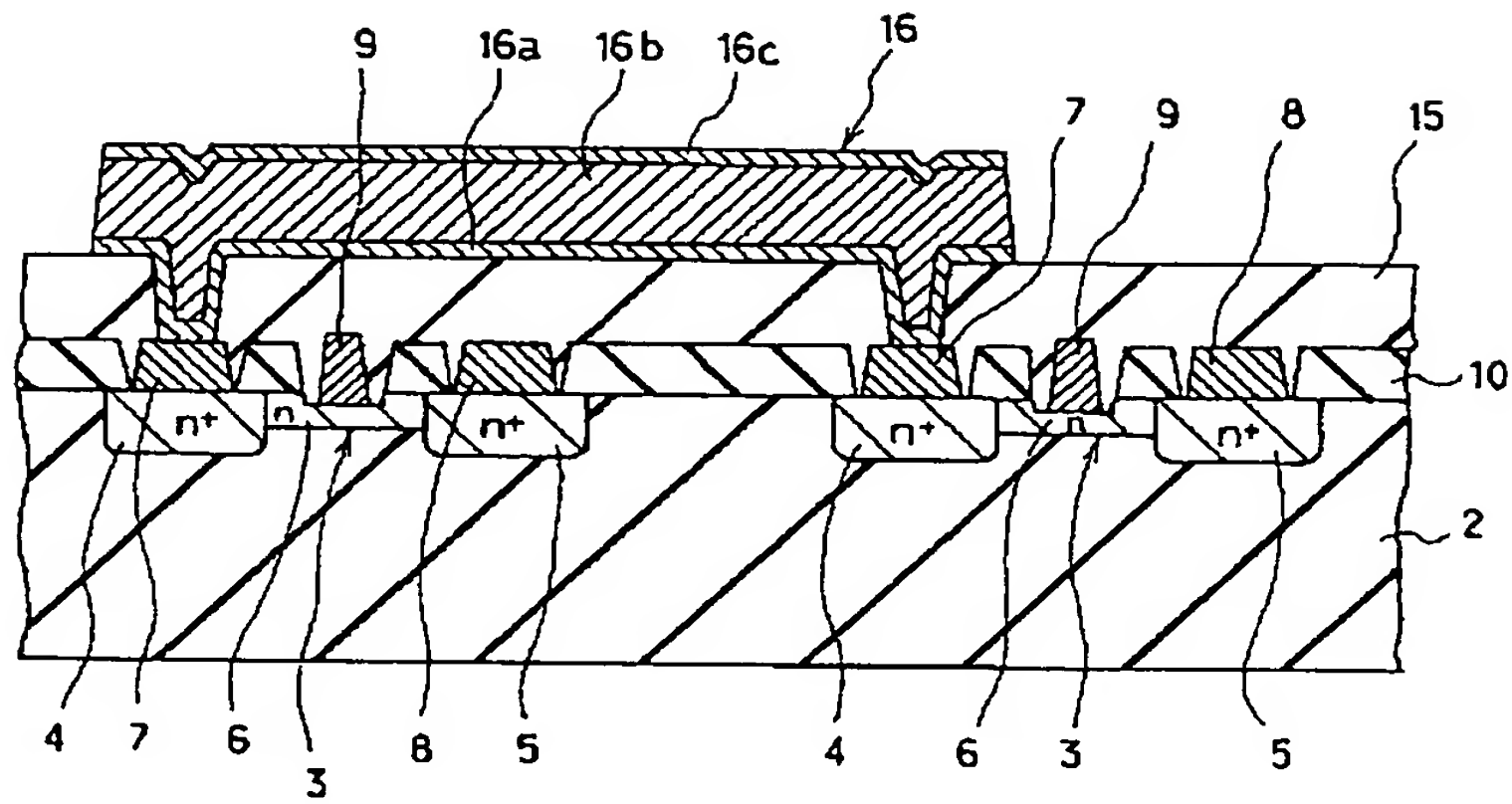
1…GaAs IC、2…半絶縁性GaAs基板、3…MESFET、4、5…n<sup>+</sup>型半導体領域、6…n型動作層、7、8…コンタクト電極、9…ゲート電極、10…絶縁膜、15…第1層間絶縁膜、16…第1配線、16a…Mo層、16b…Au層、16c…C層、17…第2層間絶縁膜、19…第2配線、19a…Mo層、19b…Au層、19c…C層、20…パッシベーション膜、21…ワイヤ、22…ワイヤボンディングパッド、23…裏面電極、25…絶縁膜。





【図 4】

図 4



【図 5】

図 5

